

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003084155 A**

(43) Date of publication of application: 19.03.03

(51) Int. Cl.

G02B 6/122
G02B 6/13

(21) Application number: 2001279398

(22) Date of filing: 14.09.01

(71) Applicant: HITACHI CABLE LTD

(72) Inventor: OKANO HIROAKI
KOMANO HARUYASU

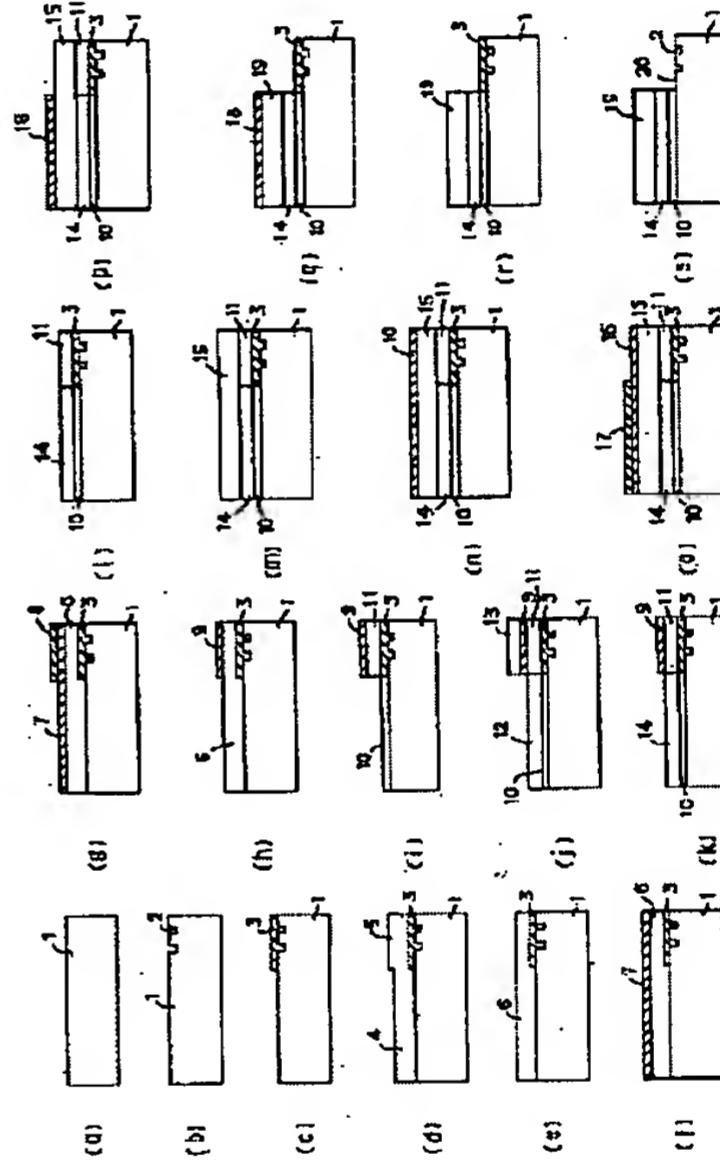
(54) HYBRID OPTICAL WAVEGUIDE AND METHOD FOR MANUFACTURING THE SAME

(57) **Abstract:**

PROBLEM TO BE SOLVED: To provide a hybrid optical waveguide having no polarization dependence and to provide a method for manufacturing the waveguide.

SOLUTION: The substrate 1 where the optical waveguide is formed is made of quartz glass, which eliminates the difference between the coefficient of thermal expansion of the glass constituting the core waveguide part 14 and the coefficient of thermal expansion of the quartz glass constituting the substrate 1, and thereby, the polarization dependence is eliminated.

COPYRIGHT: (C)2003,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-84155

(P2003-84155A)

(43)公開日 平成15年3月19日 (2003.3.19)

(51)Int.Cl.⁷

G 0 2 B 6/122
6/13

識別記号

F I

G 0 2 B 6/12

テーマコード(参考)

A 2 H 0 4 7
M

審査請求 未請求 請求項の数6 OL (全5頁)

(21)出願番号

特願2001-279398(P2001-279398)

(22)出願日

平成13年9月14日 (2001.9.14)

(71)出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72)発明者 岡野 広明

茨城県日立市日高町5丁目1番1号 日立
電線株式会社オプトロシステム研究所内

(72)発明者 駒野 晴保

茨城県日立市日高町5丁目1番1号 日立
電線株式会社オプトロシステム研究所内

(74)代理人 100068021

弁理士 細谷 信雄

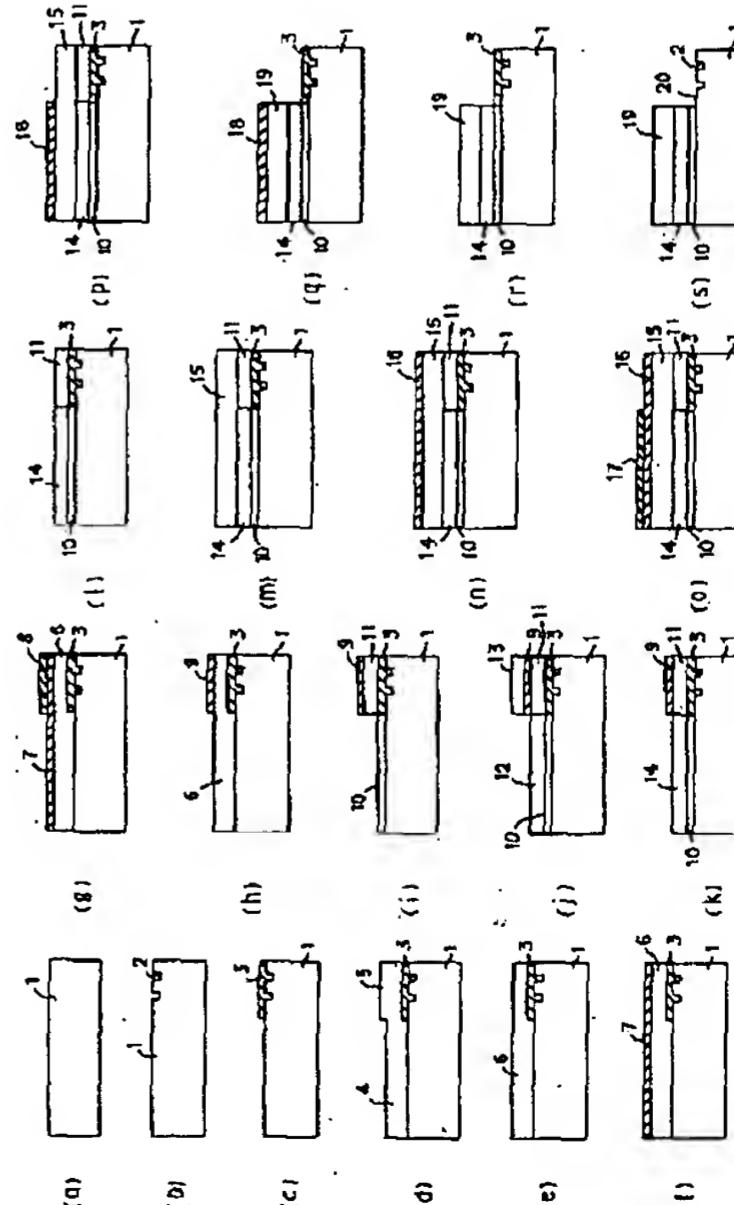
Fターム(参考) 2H047 KA03 MA07 PA03 PA04 PA05
PA24 QA04 RA08 TA01 TA41

(54)【発明の名称】ハイブリット光導波路及びその製造方法

(57)【要約】

【課題】偏波依存性のないハイブリット光導波路及びその製造方法を提供する。

【解決手段】光導波路が形成される基板1を石英ガラスとすることにより、コア導波路部14を構成するガラスの熱膨張係数と基板1を構成する石英ガラスの熱膨張係数との差がなくなり、偏波依存性が解消される。



【特許請求の範囲】

【請求項1】 裏面に複数の光軸調整用マークが形成された半導体素子と、表面に複数の光軸調整用マーク及び光導波路が形成され両光軸調整用マーク同士が重なり合うと共に上記半導体素子と上記光導波路とが光学的に結合した基板とを備えたハイブリット光集積回路において、上記基板が石英ガラスからなることを特徴とするハイブリット光導波路。

【請求項2】 石英ガラスからなる基板の表面に光軸調整用マークを形成する工程と、この光軸調整用マークと半導体素子が搭載される半導体素子搭載部とを覆うように金属膜を形成する工程と、上記金属膜の上に形成されている堆積物を上記金属膜の表面までエッチングして除去する工程と、この露出した金属膜を除去して上記半導体素子搭載部を形成する工程とを有することを特徴とするハイブリット光導波路の製造方法。

【請求項3】 石英ガラスからなる基板の表面に光軸調整用マークを形成する工程、光軸調整用マークと半導体素子が搭載される半導体素子搭載部とを覆うように金属膜を形成する工程、上記基板及び上記金属膜の上に純粋酸化シリコンからなるバッファ層を形成する工程、該バッファ層のうち上記金属膜の真上の凸部を除去して平坦化する工程、平坦化されたバッファ層の上に第一のマスク材を形成する工程、第一のマスク材の上にフォトトレジストパターンを形成する工程、該フォトトレジストパターンで覆われていない部分をエッチングして上記フォトトレジストパターンと同一形状の第一のマスクを形成する工程、第一のマスクで覆われていない部分をエッチングして上記バッファ層に段差部を形成する工程、該段差部を有するバッファ層及び第一のマスクの上にコア層を形成する工程、該コア層のうち第一のマスクの真上の凸部を第一のマスクまで平坦化してコア導波路部を形成する工程、第一のマスクを除去する工程、上記バッファ層及び上記コア導波路部を純粋酸化シリコンからなるクラッド層で覆って光導波路を形成する工程、該クラッド層上に半導体素子搭載部を形成するための第二のマスク材を形成する工程、第二のマスク材の上にフォトトレジストパターンを形成する工程、該フォトトレジストパターンで覆われていない部分をエッチングして該フォトトレジストパターンと同一形状の第二のマスクを形成する工程、第二のマスクで覆われていない部分をエッチングして、上記金属膜の表面までエッチングを行う工程、上記金属膜を除去して上記半導体素子搭載部を形成する工程及び上記半導体素子搭載部に、裏面に複数の光軸調整用マークが形成された半導体素子を両光軸調整用マーク同士が重なり合うようにして上記光導波路とを光学的に結合させる工程を備えたことを特徴とするハイブリット光導波路の製造方法。

【請求項4】 上記バッファ層を、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用い

て200°C以上500°C以下の温度範囲内で形成する請求項3に記載のハイブリット光導波路の製造方法。

【請求項5】 上記コア層を、石英ガラスよりも屈折率が高くなる金属元素を一種類添加した酸化シリコンガラスを材料とし、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用いて200°C以上500°C以下の温度範囲内で形成する請求項3に記載のハイブリット光導波路の製造方法。

【請求項6】 上記クラッド層を、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用いて200°C以上500°C以下の温度範囲内で形成する請求項3に記載のハイブリット光導波路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ハイブリット光導波路及びその製造方法に関する。

【0002】

【従来の技術】 基板上に光導波路と、半導体レーザや半導体フォトダイオード等の光学素子とを複合一体化したハイブリット光集積回路は、公開特許公報（特開昭63-131104号公報等）に開示されているように基板にSi（シリコン）を用いるのが一般的である。

【0003】 このハイブリット光集積回路は、半導体素子の光軸と、基板上に形成された光導波路の光軸とをいかに合わせるかがポイントであり、複数の光軸調整用マークが形成された半導体素子と、表面に複数の光軸調整用マークが形成された基板とを両光軸調整用マーク同士が重なり合うようにして半導体素子と光導波路とを光学的に結合させるのが一般的な方法である。基板としては光導波路作製工程の都合上Siが用いられている。

【0004】

【発明が解決しようとする課題】 しかしながら、1本の光ファイバに波長の異なる光を多重して伝送する波長分割多重（Wavelength division multiplexing: WDM）システムのキーデバイスであり、異なる波長の光を合波あるいは分波する機能を有するアレイ導波路回折格子（Arrayed-waveguide grating: AWG）と、半導体素子とをハイブリット実装して光集積回路を作製する場合、基板にSiを用いると光導波路部を構成するガラスの熱膨張係数とSiの熱膨張係数との差により、偏波依存性をもつという問題があった。

【0005】 そこで、本発明の目的は、上記課題を解決し、偏波依存性のないハイブリット光導波路及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため本発明のハイブリット光導波路は、裏面に複数の光軸調整用マークが形成された半導体素子と、表面に複数の光軸調整用マーク及び光導波路が形成され両光軸調整用マーク同士が重なり合うと共に半導体素子と光導波路と

が光学的に結合した基板とを備えたハイブリット光集積回路において、基板が石英ガラスからなるものである。

【0007】本発明のハイブリット光導波路の製造方法は、石英ガラスからなる基板の表面に光軸調整用マークを形成する工程と、この光軸調整用マークと半導体素子が搭載される半導体素子搭載部とを覆うように金属膜を形成する工程と、金属膜の上に形成されている堆積物を金属膜の表面までエッティングして除去する工程と、この露出した金属膜を除去して半導体素子搭載部を形成する工程とを有するものである。

【0008】本発明のハイブリット光導波路の製造方法は、石英ガラスからなる基板の表面に光軸調整用マークを形成する工程、光軸調整用マークと半導体素子が搭載される半導体素子搭載部とを覆うように金属膜を形成する工程、基板及び金属膜の上に純粋酸化シリコンからなるバッファ層を形成する工程、バッファ層のうち金属膜の真上の凸部を除去して平坦化する工程、平坦化されたバッファ層の上に第一のマスク材を形成する工程、第一のマスク材の上にフォトレジストパターンを形成する工程、フォトレジストパターンで覆われていない部分をエッティングしてフォトレジストパターンと同一形状の第一のマスクを形成する工程、第一のマスクで覆われていない部分をエッティングしてバッファ層に段差部を形成する工程、段差部を有するバッファ層及び第一のマスクの上にコア層を形成する工程、コア層のうち第一のマスクの真上の凸部を第一のマスクまで平坦化してコア導波路部を形成する工程、第一のマスクを除去する工程、バッファ層及びコア導波路部を純粋酸化シリコンからなるクラッド層で覆って光導波路を形成する工程、クラッド層上に半導体素子搭載部を形成するための第二のマスク材を形成する工程、第二のマスク材の上にフォトレジストパターンを形成する工程、フォトレジストパターンで覆われていない部分をエッティングしてフォトレジストパターンと同一形状の第二のマスクを形成する工程、第二のマスクで覆われていない部分をエッティングして、金属膜の表面までエッティングを行う工程、金属膜を除去して半導体素子搭載部を形成する工程及び半導体素子搭載部に、裏面に複数の光軸調整用マークが形成された半導体素子を両光軸調整用マーク同士が重なり合うようにして光導波路とを光学的に結合させる工程を備えたものである。

【0009】上記構成に加え本発明のハイブリット光導波路の製造方法は、バッファ層を、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用いて200°C以上500°C以下の温度範囲内で形成するのが好ましい。

【0010】上記構成に加え本発明のハイブリット光導波路の製造方法は、コア層を、石英ガラスよりも屈折率が高くなる金属元素を一種類添加した酸化シリコンガラスを材料とし、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用いて200°C以上50

0°C以下の温度範囲内で形成するのが好ましい。

【0011】上記構成に加え本発明のハイブリット光導波路の製造方法は、クラッド層を、プラズマCVD法、電子ビーム蒸着法あるいはRFスパッタリング法を用いて200°C以上500°C以下の温度範囲内で形成するのが好ましい。

【0012】本発明によれば、光導波路が形成される基板を石英ガラスとすることにより、コア導波路部を構成するガラスの熱膨張係数と基板を構成する石英ガラスの熱膨張係数との差がなくなり、偏波依存性が解消される。

【0013】また、本発明によれば、金属膜の上に形成されている堆積物をエッティングして除去する際に、この金属膜がエッティングストップ層として機能するので、コア導波路の光軸を半導体素子の活性層の中心に高精度に位置合わせすることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基づいて詳述する。

【0015】図1(a)～(s)は本発明のハイブリット光導波路の製造方法の一実施の形態を示す工程図である。

【0016】外径約102mm(約4インチ)、厚さ1mmの石英ガラスからなる基板1の表面の一部に機械加工又は化学的エッティングを用いて複数の光軸調整用マーク2を形成する(図1(a、b))。

【0017】光軸調整用マーク2を中心として、最終的に必要な半導体素子搭載部の表面を覆うようにスパッタリング法により厚さ0.5μm以下の金属膜3(本発明の実施の形態ではアモルファスシリコン膜とした。)を形成する(図1(c))。

【0018】基板1及び金属膜3の上にプラズマCVD法により、ドーパントを含まない純粋SiO₂からなるバッファ層4を形成する(図1(d))。

【0019】金属膜3の上に形成されたバッファ層4の凸部5のみをCMP(Chemical Mechanical Polishing: 化学機械研磨)法により平坦化してバッファ層6を形成する(図1(e))。

【0020】バッファ層6の上に、スパッタリング法により厚さ0.5μm以下のアモルファスシリコン膜からなる第一のマスク材7を形成する(図1(f))。

【0021】第一のマスク材7の表面上にフォトレジストパターン8を形成する(図1(g))。

【0022】フォトレジストパターン8で覆われていない部分を、反応性イオンエッティング法によりエッティングしてフォトレジストパターン8と同じ形状のマスク(第一のマスク)9を形成する(図1(h))。

【0023】第一のマスク9で覆われていない部分を、反応性イオンエッティング法によりエッティングして凹部を有するバッファ層10、11を形成する(図1

5
(i))。

【0024】凹部を有するバッファ層10、11に対し、プラズマCVD法により、ゲルマニウムが添加され、石英ガラスよりも屈折率が高いSiO₂からなるコアガラス層12、13を埋め込む(図1(j))。

【0025】第一のマスク9の上に形成されたコアガラス層12、13のうちの凸部13をCMP法で第一のマスク9が露出するまで平坦化し、コア導波路部14を形成する(図1(k))。

【0026】表面に露出している第一のマスク9をドライエッティング法により除去する(図1(l))。

【0027】コア導波路部14上に、プラズマCVD法によりドーパントを含まない純粋SiO₂からなるクラッド層15を形成する(図1(m))。

【0028】クラッド層15上に、スパッタリング法により半導体素子搭載部を形成するための厚さ2μmの第二のマスク材としてのWSi膜16を形成する(図1(n))。

【0029】WSi膜16上に半導体素子搭載部用のフォトレジストパターン17を形成する(図1(o))。

【0030】フォトレジストパターン17で覆われていないWSi膜部分を反応性イオンエッティング法によりエッティングしてフォトレジストパターン17と同じ形状の第二のマスクとしてのWSiマスク18を形成する(図1(p))。

【0031】WSiマスク18で覆われていない部分を、反応性イオンエッティング法によりエッティングすると共にクラッド層19を残し、金属膜3の表面を露出させる(図1(q))。

【0032】金属膜3を溶解しないエッティングを用いてWSiマスク18を除去する(図1(r))。

【0033】金属膜3を除去し、半導体素子搭載部20を形成する(図1(s))。

【0034】半導体素子搭載部20に、裏面に複数の光軸調整用マークが形成された半導体素子を両光軸調整用マーク同士が重なり合うようにして光導波路とを光学的に結合することによりハイブリット光導波路が形成される。

【0035】尚、半導体素子搭載部に搭載する半導体素子が放熱する場合、金属膜3を残しておき、金属膜3をヒートシンクとして利用してもよい。

【0036】図2は本発明のハイブリット光導波路から半導体素子を除去したときの上面図である。図3は本発明のハイブリット光導波路の側面図である。

【0037】図2に示すように半導体素子搭載部20に

複数(図では4個であるが限定されない。)光軸調整用マーク2が形成されている。この光軸調整用マーク2と、半導体素子21の裏面に形成されている複数(図では4個であるが光軸調整用膜2と同数同位置であればよい。)の光軸調整用マークとを、画像処理等の手段(共に図示せず。)を用いて、水平方向に対して高精度に位置合わせを行うことができる。また、図1(q)に示す工程において、金属膜3がエッティングストップ層となる。すなわちこの表面を露出させることで、エッティングする際の垂直方向の基準面となり、エッティング量を正確に制御できるので、コア導波路部14の光軸と半導体素子21の活性層22の中心とを高精度に位置合わせすることができる。

【0038】

【発明の効果】以上要するに本発明によれば、次のような優れた効果を発揮する。

【0039】偏波依存性のないハイブリット光導波路及びその製造方法の提供を実現することができる。

【図面の簡単な説明】

【図1】(a)～(s)は本発明のハイブリット光導波路の製造方法の一実施の形態を示す工程図である。

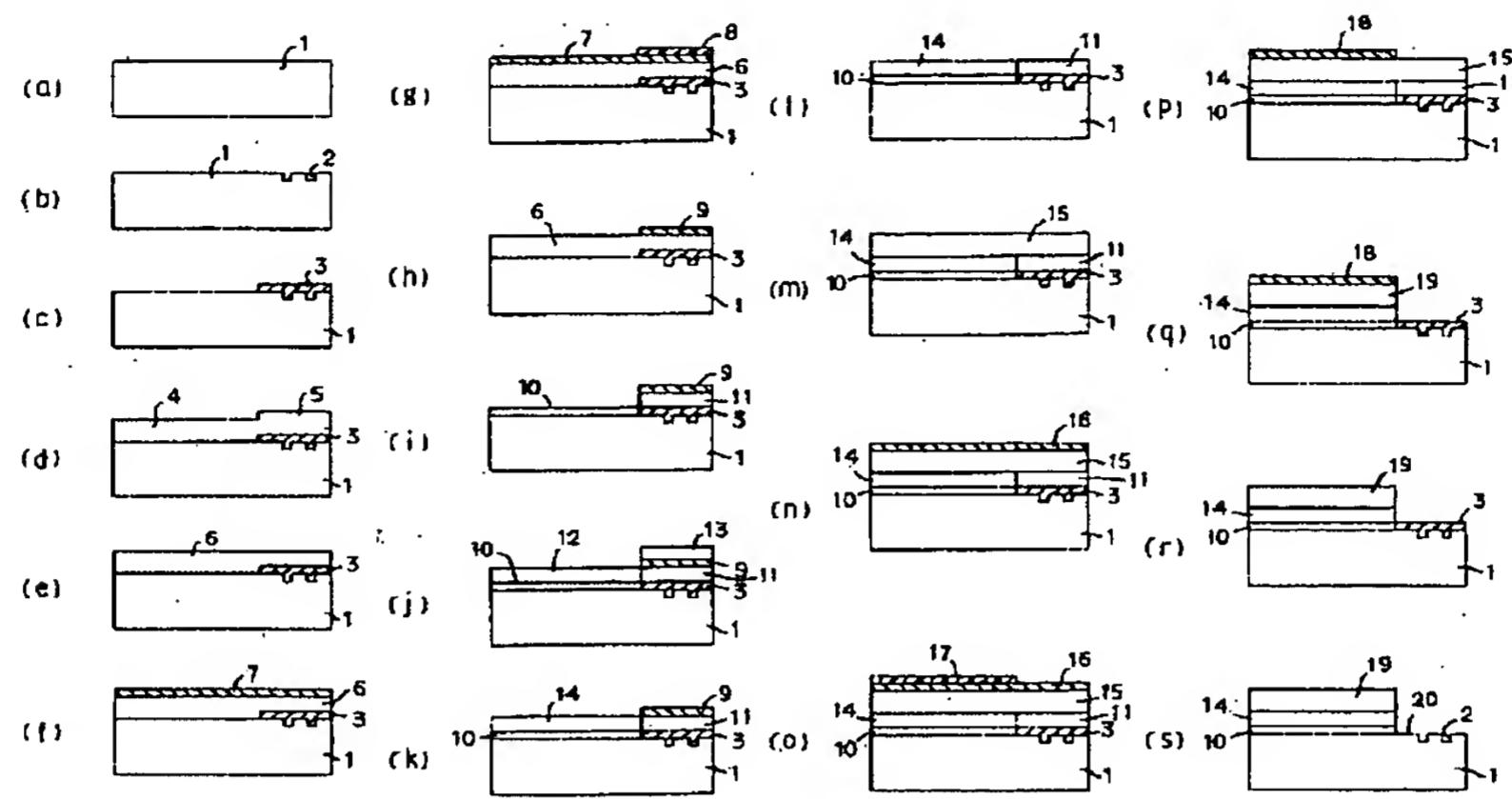
【図2】本発明のハイブリット光導波路から半導体素子を除去したときの上面図である。

【図3】本発明のハイブリット光導波路の側面図である。

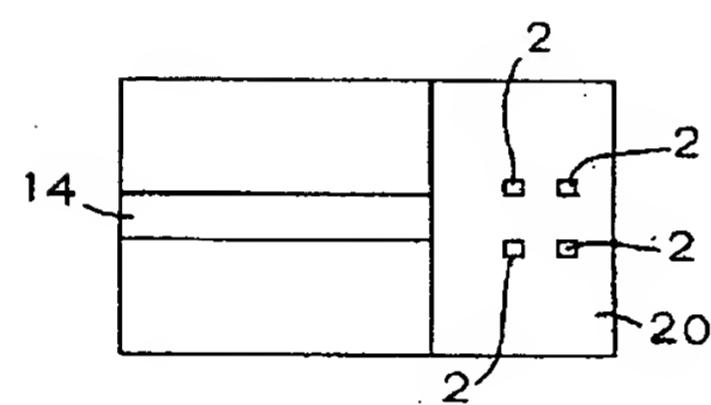
【符号の説明】

1	基板
2	光軸調整用マーク
3	金属膜
4、6	バッファ層
5	バッファ層(凸部)
7	第一のマスク材(アモルファスシリコン膜)
8	フォトレジストパターン
9	第一のマスク
10、11	バッファ層
12	コアガラス層
13	コアガラス層(凸部)
14	コア導波路部
15、19	クラッド層
16	WSi膜(第二のマスク材)
17	フォトレジストパターン
18	WSiマスク(第二のマスク)
20	半導体素子搭載部
21	半導体素子
22	活性層

【図1】



【図2】



【図3】

